

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-315470

(43)Date of publication of application : 26.11.1993

(51)Int.Cl.

H01L 23/12  
G06F 1/18  
H01L 23/28

(21)Application number : 04-142163

(71)Applicant : NEC CORP

(22)Date of filing : 07.05.1992

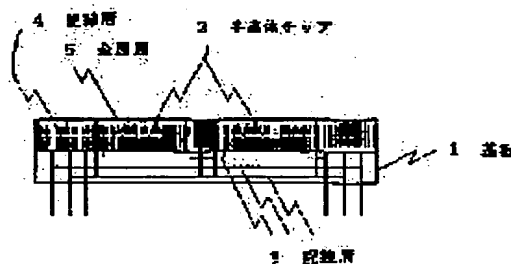
(72)Inventor : KUDO TOSHITAKA

## (54) MULTICHIP MODULE

(57)Abstract:

PURPOSE: To increase the heat dissipation capacity while abating the noise of a multichip module.

CONSTITUTION: After mounting semiconductor chip 2 on a substrate 1, an insulating layer 4 and a metallic layer 5 are provided on the substrate 1 and then the metallic layer 5 is connected to a ground layer so as to stabilize the ground potential. Besides, the heat generated by the semiconductor chips 2 are to be dissipated through the intermediary of the metallic layer 5. Through these procedures, the heat generated by the semiconductor chips 2 can be dissipated through the metallic layer 5 while enabling the ground potential to be stabilized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-315470

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
G 0 6 F 1/18				
H 0 1 L 23/28	E	8617-4M		
		9355-4M	H 0 1 L 23/ 12	N
		7165-5B	G 0 6 F 1/ 00	3 2 0 B
審査請求 未請求 請求項の数3(全 4 頁) 最終頁に続く				

(21)出願番号 特願平4-142163

(22)出願日 平成4年(1992)5月7日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 工藤 俊孝

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 菅野 中

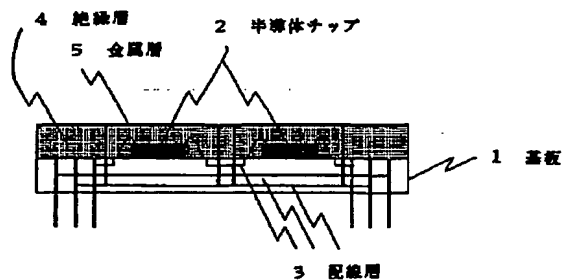
(54)【発明の名称】 マルチチップモジュール

(57)【要約】

【目的】 半導体チップを複数個実装するマルチチップモジュールの放熱性を向上し、ノイズを除去する。

【構成】 基板1上に半導体チップ2を実装後、基板1表面に絶縁層4と金属層5を設け、さらに金属層5とグラウンド層を接続してグラウンド電位を安定させている。また金属層5を介して半導体チップの放熱を行う。

【効果】 半導体チップの発熱を金属層を通して放熱することができ、またグラウンド電位を安定させることができる。



【特許請求の範囲】

【請求項 1】 絶縁層と、金属層とを有し、配線が施された基板上に複数の半導体チップを実装してなるマルチチップモジュールであって、絶縁層は、半導体チップを含む基板の表面を覆って形成したものであり、金属層は、絶縁層の表面を覆って形成したものであることを特徴とするマルチチップモジュール。

【請求項 2】 請求項 1 に記載のマルチチップモジュールであって、

前記金属層は、前記基板のグラウンド配線層に接続したものであることを特徴とするマルチチップモジュール。

【請求項 3】 絶縁層と、金属層とを有し、配線が施された基板上に複数の半導体チップをフリップチップ実装してなるマルチチップモジュールであって、絶縁層は、半導体チップを含む基板の表面を覆って形成し、半導体チップ裏面に対応した部分がエッチングしてあり、

金属層は、前記絶縁層の表面を覆って形成し、絶縁層のエッチング部分を介して半導体チップの裏面に接続したものであることを特徴とするマルチチップモジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロプロセッサやメモリ等の半導体チップを複数個実装するマルチチップモジュールに関し、特にマルチチップモジュールの放熱及びノイズ除去の構造に関する。

【0002】

【従来の技術】 近年、マイクロプロセッサの高速化や装置の小型化に伴い高密度実装の手段として、マルチチップモジュールが利用されつつある。従来のマルチチップモジュールは、基板にセラミックやアルミナ等を用いたものが一般的であり、中にはシリコンを用いたものもある。従来のマルチチップモジュールの一例の全体の構造図を図 3 に、断面図を図 4 に示す。

【0003】 図 3 および図 4 の例ではセラミック基板 6 上に配線層 7 として銅等の金属、配線層間の絶縁層 8 としてポリイミド等の樹脂を用いた複層の薄膜配線を施したものに、半導体チップ 2 を複数個実装し、LSI パッケージ 9 に封入している。

【0004】 このマルチチップモジュールは、従来のプリント配線基板と比べ、個々の半導体チップをパッケージに封入せず実装するため、高密度実装ができる。また、高密度実装ができる結果、半導体チップ間の配線長を短くでき、配線による遅延時間を短縮して高速化が実現できる、等の長所がある。

【0005】

【発明が解決しようとする課題】 従来のマルチチップモジュールは、基板にセラミックやアルミナ等の熱伝導率の高い基板を用いて放熱性を高めていたが、これらの基

板は非常に高価であるという問題点がある。

【0006】 また、従来のマルチチップモジュールは、個々の半導体チップの電源－グラウンド間ノイズを除去するためのコンデンサ部品を実装できない構造であるため、電源－グラウンド間ノイズが大きいという問題点がある。

【0007】 本発明の目的は、放熱性の向上及びノイズの除去を図ったマルチチップモジュールを提供することにある。

【0008】

【課題を解決するための手段】 前記目的を達成するため、本発明に係るマルチチップモジュールは、絶縁層と、金属層とを有し、配線が施された基板上に複数の半導体チップを実装してなるマルチチップモジュールであって、絶縁層は、半導体チップを含む基板の表面を覆って形成したものであり、金属層は、絶縁層の表面を覆って形成したものである。

【0009】 また、前記金属層は、前記基板のグラウンド配線層に接続したものである。

【0010】 また、本発明によるマルチチップモジュールは、絶縁層と、金属層とを有し、配線が施された基板上に複数の半導体チップをフリップチップ実装してなるマルチチップモジュールであって、絶縁層は、半導体チップを含む基板の表面を覆って形成し、半導体チップ裏面に対応した部分がエッチングしてあり、金属層は、前記絶縁層の表面を覆って形成し、絶縁層のエッチング部分を介して半導体チップの裏面に接続したものである。

【0011】

【作用】 半導体チップを含む基板表面を金属層にて絶縁層を介して覆い、金属層を基板上のグラウンド配線層に接続することによりコンデンサ部品を構成し、このコンデンサ部品によりノイズを除去する。また、金属層を放熱板として半導体チップの熱を放熱する。

【0012】

【実施例】 次に本発明について図面を参照して説明する。

【0013】 (実施例 1) 図 1 は、本発明の実施例 1 を示す断面図である。

【0014】 図 1 において、基板 1 はガラスエポキシ基板からなり、その上に半導体チップ 2 が実装されている。基板 1 には、半導体チップ 2 が実装される面と基板内部に配線層（電源層やグラウンド層を含む）3 が形成されている。半導体チップ 2 は図に示すようなワイヤボンディング（あるいは TAB）により基板 1 に実装され配線層 3 と接続される。

【0015】 この場合、マルチチップモジュールは、半導体チップ 2 の電源－グラウンド間ノイズを除去するためのコンデンサ部品を実装できない構造であるため、その電源－グラウンド間ノイズを低減することができない。

【0016】これを防ぐため本実施例では、基板1に半導体チップ2を実装後、半導体チップ2を含む基板1の表面に絶縁層4を形成する。さらに基板1と絶縁層4をエッチングした後に絶縁層4の表面に金属層5を形成し、金属層5と基板1上のグラウンド配線層とを接続する。

【0017】本実施例によれば、半導体チップ2からの熱は、金属層5を放熱板として外部に放熱されることとなる。さらに、金属層5は基板1のグラウンド配線層に接続され、基板との間に絶縁層が介装されているため、この構造がコンデンサ部品として作用し、半導体チップ2の電源-グラウンド間ノイズを除去することとなる。

【0018】(実施例2) 図2は、本発明の実施例2を示す断面図である。本実施例では、基板1上に半導体チップ2がフリップチップ実装されており、半導体チップ2を含む基板1の表面に絶縁層4を形成している。さらに半導体チップ2が実装されている部分をエッチングした後に金属層5を絶縁層4上に形成し、金属層5と半導体チップ2の裏面6を接続している。

【0019】本実施例は、実施例1と同様の効果を得ることができる上に、金属層5と半導体チップ2の裏面と

が接続されているため、半導体チップ2が発生する熱の放熱経路も確保できるという利点を有する。

【0020】

【発明の効果】以上説明したように本発明は、半導体チップの発熱を金属層を通して放熱することができ、また電源とグラウンドの電位を安定させることができるため、従来のマルチチップモジュールより安価なガラスエポキシ等の基板材料を用いることができ、しかも電源-グラウンド間ノイズを低減させることができる。

【図面の簡単な説明】

【図1】本発明の実施例1を示す断面図である。

【図2】本発明の実施例2を示す断面図である。

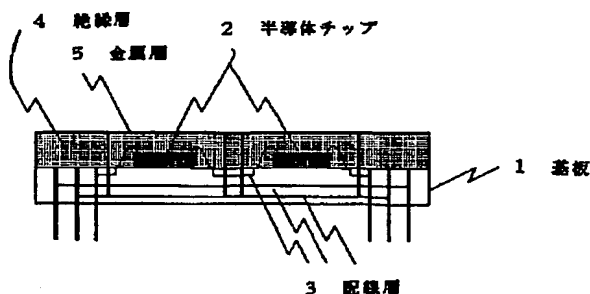
【図3】従来例を示す斜視図である。

【図4】図3の従来例を示す断面図である。

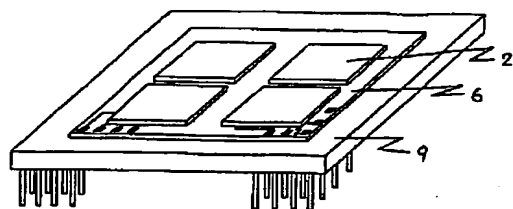
【符号の説明】

- 1 基板
- 2 半導体チップ
- 3 配線層
- 4 絶縁層
- 5 金属層

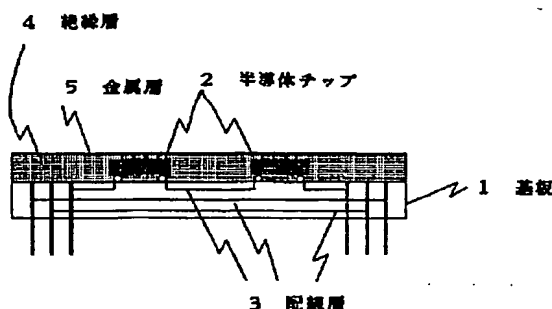
【図1】



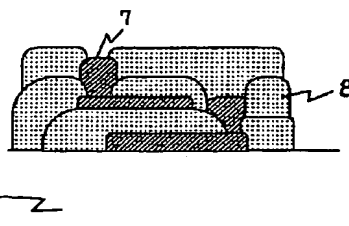
【図3】



【図2】



【図4】



フロントページの続き

(51) Int. Cl. <sup>5</sup>

H O 1 L 23/28

識別記号

庁内整理番号

F I

技術表示箇所

F 8617-4M

BEST AVAILABLE COPY